УДК 004.2:004.8

Особенности архитектур   
нейро- и нейроморфных процессоров

*Тельминов Олег Александрович, к.т.н., начальник отдела1,  
otelminov@niime.ru*

*1АО «НИИМЭ», г. Москва, Зеленоград*

Аннотация: в работе рассмотрены архитектуры аппаратных средств для реализации формальных и спайковых нейронных сетей.

Ключевые слова: нейропроцессоры, нейроморфные процессоры, мемристорные матрицы.

Центральные и нейропроцессоры

Технологии искусственного интеллекта можно разделить на экспертные системы, методы машинного обучения без применения нейросетей и с их применением. Масштабирование с помощью параллельного выполнения операций возможно именно для нейросетей благодаря их архитектуре. В зависимости от применяемой модели нейрона — формальной или спайковой, — используются различные фреймворки, программные среды для разработки, обучения и запуска нейросетей. Рассматривается набор характеристик и возможных тестов для сравнения нейропроцессоров [1].

Архитектуры нейропроцессоров состоят из «дирижера» — центрального процессора и сопроцессоров для эффективного расчета нейросетей. Выполняется сравнение архитектур ARM и RISC-V, а также архитектур популярных нейропроцессоров фирм NVIDIA, Rockchip (RK3588), а также отечественных разработок фирм НТЦ «Модуль», НПЦ «ЭЛВИС» и НТЦ «ХайТэк».

Рассматривается возможность изготовления нейропроцессоров с помощью методов печатной электроники как альтернативы общепринятой КМОП-технологии [2].

Нейроморфные процессоры

К отличительным характеристикам нейроморфных процессоров относятся: (1) архитектура, отличная от архитектуры фон Неймана; (2) новые способы кодирования сигналов; (3) реализация на элементной базе на новых физических принципах. Такой процессор должен иметь хотя бы одну из перечисленных характеристик.

Рассматриваются зарубежные нейроморфные процессоры, включая TrueNorth, Tianjic, Loihi 2 и другие, а также отечественный «Алтай».

Широкое применение нейроморфных процессоров на элементной базе на новых физических принципах — мемристорах, ограничены достигнутыми показателями последних: временем сохранения резистивного состояния, выносливостью к циклическим переключениям, пластичностью, напряжением и временем переключения, напряжением и током чтения, а также другими параметрами. Рассмотрены различные схемотехнические решения, компенсирующие указанные и другие ограничения при реализации матрично-векторного умножения с помощью мемристорных матриц. Приведены возможные технологические решения по интеграции мемристорных матриц и управляющих КМОП-схем.

Список использованных источников

1. На пути к реализации высокопроизводительных вычислений в памяти на основе мемристорной электронной компонентной базы / А. Н. Михайлов, Е. Г. Грязнов, В. И. Лукоянов, М.Н. Коряжкина, И.А. Борданов, С.А. Щаников, О.А. Тельминов, М.В. Иванченко, В.Б. Казанцев // Физмат. – 2023. – Т. 1, № 1. – С. 42-64. – DOI 10.56304/S2949609823010021. – EDN HTSRZQ.

2. Красников Г.Я., Горнев Е.С., Матюшкин И.В. Общая теория технологий и микроэлектроника. М.: ТЕХНОСФЕРА, 2020.

FEATURES OF NEURO- AND NEUROMORPHIC PROCESSOR ARCHITECTURES

O.A. Telminov

Abstract: The paper considers hardware architectures for the implementation of formal and spike neural networks.

Key words: neuro-accelerators, neuromorphic processors, memristor matrices.