УДК 004.312:004.032.34

ПРОБЛЕМЫ СОЗДАНИЯ СИНТЕЗАТОРА САМОСИНХРОННЫХ СХЕМ по синхронному описанию

*Плеханов Леонид Петрович, к.т.н., старший научный сотрудник1, lplekhanov@inbox.ru*

*1ФИЦ ИУ РАН, г.Москва*

Аннотация: В работе описываются особенности и проблемы создания автоматического синтезатора самосинхронных схем по синхронному описанию. Синтезатор обеспечивает для схем уникальные свойства поведения и надежности.

Ключевые слова: самосинхронные схемы; синтез самосинхронных схем.

Введение

Самосинхронные схемы далее обозначаются как СС-схемы.

В предлагаемом методе синтезируются СС-схемы исходя из условия, что задержки в цепях после разветвления не превышают задержки подключаемых элементов.

СС-схемы такого типа имеют уникальные свойства поведения и надежности: полное отсутствие состязаний и отказобезопасность (остановка работы при появлении выходных константных неисправностей типа залипаний на 0 или 1). Эти свойства гарантируются во всем диапазоне физической работоспособности транзисторных структур, то есть в максимально возможных пределах по напряжению питания и температуре.

Схемы класса BD не имеют основного преимущества СС-схем – способности к обнаружению константных неисправностей, а также обеспечивают меньший диапазон нечувствительности к задержкам. Далее схемы этого класса рассматриваться не будут.

Существует ряд зарубежных методов автоматизированного проектирования СС-схем.

Основной недостаток этих методов – неприспособленность к проектированию схем в промышленных масштабах, что выражается в следующем:

- отсутствие какой-либо оптимизации получаемых схем,

- применение собственных языков описания, исходных описаний в виде графов (например, сетей Петри) [1-3], не используемых в промышленных разработках (в настоящее время массовое проектирование схем проводится на языках описания аппаратуры Verilog и VHDL),

- методы, основанные на исходном синхронном описании, например, [4, 5], не обнаруживают константные неисправности, а также обеспечивают меньший диапазон нечувствительности к задержкам,

- отсутствие иерархического синтеза,

- в большинстве методов отсутствие привязки к конкретной библиотеке элементов, что делает эти методы незаконченными.

Проблемы создания СС-схем

Для разработки СС-схем необходимо применение специальных математических методов [6], подготовки библиотечных элементов и выполнение ряда других условий.

Предлагается метод создания автоматического синтезатора для СС-схем, пригодный для промышленного проектирования.

Исходное описание схемы – описание корректной несамосинхронной схемы на языке Verilog. Это описание может быть иерархическим и содержать операторы любого уровня: поведенческого, регистровых передач, логических функций

На первом этапе синтеза используется система открытого доступа Yosys, которая преобразует исходное описание в форму, удобную для дальнейшего синтеза.

Синтез проводится с минимизацией затрат в транзисторах и по возможности с улучшением быстродействия. Выполняются специфические для синтеза СС-схем действия: разбиение исходной схемы на каскады, преобразование исходных функций в СС-функции с оптимизацией [7].

Синтез элементов и регистров памяти проводится с учетом ранее выполненных работ [8-10].

На последних этапах синтеза создается индикаторная часть текущего модуля и другие необходимые действия. Иерархическая исходная структура синтезируется рекурсивно.

**Выводы**

Предложен метод создания автоматического синтезатора для СС-схем по синхронному описанию, пригодный для промышленного проектирования.

Синтезатор конструирует иерархическую СС-схему, оптимизированную по затратам в транзисторах и быстродействию.

Список использованных источников

1. Edwards D., Bardsley A., Jani L., Plana L., Toms W. Balsa: A Tutorial Guide. The University of Manchester, Manchester, U.K., 2006.

2. Cortadella J., Kishinevsky M., Kondratyev A., Lavagno L., Yakovlev A. Petrify: a tool for manipulating concurrent specifications and synthesis of asynchronous controllers // Conference on Design of Circuits and Integrated Systems. DCIS96, 1996, pp. 205-210.

3. Poliakov I., Sokolov D., Mokhov A. Workcraft: a static data flow structure editing, visualisation and analysis tool. https://link.springer.com/chapter/10.1007/978-3-540-73094-1\_30.

4. Oliveira D. L., Duarte G. C., Batista G. C., Silva D. A., Romano L. Synthesis of Asynchronous State Machines from Synchronous Specifications. 2020 IEEE 11th Latin American Symposium on Circuits & Systems (LASCAS), San Jose, Costa Rica, 2020, pp. 1-4, doi: 10.1109/LASCAS45839.2020.9069010.

5. Semba S., Saito H. RTL Conversion Method From Pipelined Synchronous RTL Models Into Asynchronous Ones. IEEE Access, vol. 10, pp. 28949-28964, 2022, doi: 10.1109/ACCESS.2022.3158487.

6. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В. И. Варшавского. – М.: Наука, 1986. 400 с.

7. Плеханов Л. П. Основы самосинхронных электронных схем. – М.: Бином. Лаборатория знаний, 2013. 208 с.

8. Yury Stepchenkov, Yuri Diachenko, Dmitry Khilko, Nikolai Morozov, Sergey Berstnev, Dmitri Stepchenkov. Self-Timed Trigger Synthesis with Composite Write-Enable Input // 2024 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (ElConRus) St. Petersburg, Moscow, Russia, January 29-31, 2024. — P. 78 – 82.

9. Dmitry Khilko, Yury Stepchenkov, Georgy Orlov, Artem Grigoriev, Yuri Diachenko. Desynchronization of a synchronous circuit to synthesize self-timed circuit // 2024 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (ElConRus) St. Petersburg, Moscow, Russia, January 29-31, 2024. — P. 45 – 49.

10. Igor Sokolov, Yuri Stepchenkov, Yuri Diachenko. Synthesis of Self-Timed Circuits with Memory / 2024 International Russian Smart Industry Conference (SmartIndustryCon), 25-29 March 2024. — pp. 225 – 230. doi.  [10.1109/SmartIndustryCon61328.2024.10516224](https://doi.org/10.1109/SmartIndustryCon61328.2024.10516224).

**PROBLEMS OF CREATING A SYNTHESIZER FOR SELF-TIMED CIRCUITS FROM SYNCHRONOUS DESCRIPTION**

L.P. Plekhanov

Abstract: The paper describes the features and problems of creating an automatic synthesizer of self-timed circuits from synchronous description. The synthesizer provides unique features of behavior and reliability.

Keywords: self-timed circuits, synthesis of self-timed circuits.